

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

S. MURAKA

1/16/01

#4

Q62673

1 of 1

1c872 U.S. PTO

09/759219



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2000年 1月17日

出願番号
Application Number:

特願2000-007641

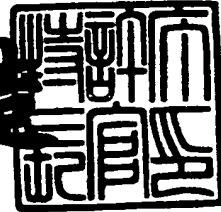
願人
Applicant(s):

日本電気株式会社

2000年11月 6日

特許庁長官
Commissioner,
Patent Office

及川耕造



CERTIFIED COPY OF
PRIORITY DOCUMENT

出証番号 出証特2000-3092036

【書類名】 特許願

【整理番号】 51105677

【提出日】 平成12年 1月17日

【あて先】 特許庁 長官殿

【国際特許分類】 H04L 27/08

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 村岡 真也

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100105511

 【弁理士】

 【氏名又は名称】 鈴木 康夫

【選任した代理人】

 【識別番号】 100109771

 【弁理士】

 【氏名又は名称】 臼田 保伸

【手数料の表示】

 【予納台帳番号】 055457

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9711687

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 D C オフセット除去方式及び D C オフセット除去回路を備えた受信回路

【特許請求の範囲】

【請求項 1】 各フレームが、同期部と、予め定められた間隔で巡回するフレーム番号及び該フレーム番号を受信すべき受信機を示す制御部と、 D A T A 部と、当該フレームの後に他のフレームが連続して送られてくるか否かを示す信号停止表示部とによって構成され、かつ連続して送られてくる前記フレームの先頭にのみプリアンプル部が付加されて送信される信号を受信し、該受信した信号から D C オフセット成分を算出して前記受信信号から減算することにより D C オフセットを除去した後に前記受信フレームを復調する受信回路において、

受信すべきフレーム番号のタイミングを認識するための全てのフレームを受信する連続受信時および当該受信機宛のフレームのみを受信する間欠受信時の如何にかかわらず、前記プリアンプル部を受信しているときには、前記 D C オフセットに対する追従速度が遅くなるように設定する D C オフセット追従速度設定手段を有していることを特徴とする D C オフセット除去方式。

【請求項 2】 前記 D C オフセット追従速度設定手段は、受信フレームから前記同期部を検出したときに“1”となり、前記信号停止表示部に信号停止を検出したときに“0”となるフレーム継続検知信号と、当該受信機宛のフレームを受信しているときのみ“1”となる受信フレーム信号との A N D 信号により、前記追従速度を切り替えることを特徴とする請求項 1 記載の D C オフセット除去方式。

【請求項 3】 各フレームが、同期部と、予め定められた間隔で巡回するフレーム番号及び該フレーム番号を受信すべき受信機を示す制御部と、 D A T A 部と、当該フレームの後に他のフレームが連続して送られてくるか否かを示す信号停止表示部とによって構成され、かつ連続して送られてくる前記フレームの先頭にのみプリアンプル部が付加された信号を受信検波する検波回路と、該検波された信号をデジタル信号に変換する A / D 変換回路と、該変換されたデジタル信号から D C オフセット成分を除去する D C オフセット除去回路と、 D C オフセ

ット成分が除去された前記デジタル信号から前記フレームを復調する復調回路と、入力された前記制御部の情報からフレーム番号とどのフレームを受信すべきかを判定して前記検波回路及びA/D変換回路の電源をオンにすることにより該当するフレームの受信を指示する制御信号を出力するとともに受信フレーム中の前記同期部情報に基づいて前記DCオフセット除去回路に対して前記該当フレームを受信中であることを示す受信フレーム信号を出力する制御回路と、受信フレーム中の前記同期部情報と信号停止表示情報をモニタすることにより前記前記DCオフセット除去回路に対してフレーム継続検知信号を出力する停止検出回路とを備えた受信回路において、

前記DCオフセット除去回路は、算出されたDCオフセット値を前記デジタル信号から減算することによりDCオフセットを除去して前記復調回路に出力する減算回路と、該減算回路の出力に対して係数HまたはL（但し、 $0 \leq L < H$ ）を乗算する乗算回路と、該乗算回路の出力に対して前記算出されたDCオフセット値を加算する加算回路と、該加算回路の出力を1ビット遅延して前記算出されたDCオフセット値を出力する1ビット遅延回路と、前記制御回路から入力される前記受信フレーム信号と前記信号停止検出回路から入力される前記フレーム継続検知信号とのAND演算を行うAND回路とを備え、該AND回路の出力により前記係数HまたはLのいずれかを選択することを特徴とするDCオフセット除去回路を備えた受信回路。

【請求項4】 前記係数Lは0であり、前記係数Hは1であることを特徴とする請求項3記載のDCオフセット除去回路を備えた受信回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、直交検波後のベースバンド信号に含まれるDCオフセット成分を除去するDCオフセット除去回路を備えた受信回路に関する。

【0002】

【従来の技術】

図4は、従来のDCオフセット除去回路を備えた受信回路を示すブロック図で

ある。ここで扱われる信号は、図 6、7 に示すフレームフォーマットを構成し、この信号は複数の受信機において受信される。従って、各受信機は図 6、7 に示すフレームフォーマット中の制御部 (CONT) を解析する事により、そのフレームが自分宛か否かを判定する。

【 0 0 0 3 】

フレームフォーマット中の同期部 (UW) は、フレームの区切り目を示す 2 0 ~ 4 0 ビットの固定パターンで構成され、通常ユニークワード (UW) と呼ばれる。制御部 (CONT) には、予め定められた間隔で巡回するフレーム番号と、どの受信機がどのフレームを受信するべきかが示されている。

【 0 0 0 4 】

各受信機の受信回路は、このフレーム番号が巡回するタイミングを記憶した後は、受信すべきフレームタイミング時のみ制御回路 1 0 1 から出力される受信制御信号 S 1 を “1” にして、直交検波回路 1、アナログ回路 2 及び A/D 変換回路 3 の電源をオンにし、それ以外のフレームタイミングでは S 1 を “0” にして回路 1 ~ 3 の電源をオフにする (以降これを間欠受信と称す) ことにより、受信回路の消費電力を節約している。

【 0 0 0 5 】

また、送信されるデータ信号は、送信側及び衛星を介した場合は衛星の消費電力を節約する為に、有意なデータがある時のみデータがやり取りされ、それ以外の場合は何も信号がやり取りされない状態となる。従って、前述の間欠受信は定期的な動作であるのに対し、図 4 の受信回路へ入力される信号 D 1 は不定期に現れる (以降これをアクティベーション方式と称す)。

【 0 0 0 6 】

図 6、7 中の信号停止表示部 (END) では、そのフレームの後に信号が送られてくるか否かが示されており、受信信号停止後、次に信号が入力される際は図 7 中のプリアンプル部 (PA) が付加される。図 8 において、入力信号 D 1 はアクティベーション方式で入力された信号を表しており、D 1 の黒く塗った部分はプリアンプル部に相当し、フレーム 0、1 5、2 0 1 では信号停止 (END) 表示が行われる。

【0007】

直交検波回路1は、受信された無線周波数帯の信号D1を予め定められた無線周波数によって直交検波し、ベースバンド周波数帯の信号DI2、DQ2に変換する。アナログ回路2は、DI2、DQ2を後段のA/D変換回路3に適した信号DI3、DQ3に変換し、A/D変換回路3は、DI3、DQ3をアナログ信号からデジタル信号DI4、DQ4に変換し、DCオフセット除去回路102に出力する。

【0008】

尚、直交検波回路1、アナログ回路2、A/D変換回路3には受信制御信号S1が入力されており、S1が“1”の時のみ電源がオンになっており、“0”の時はオフとすることにより間欠受信が行われる。

【0009】

DCオフセット除去回路102の構成を図5に示す。減算回路20、21では1ビット遅延回路26、27が出力したDCオフセット値DCI、DCQをDI4、DQ4から減算し、DCオフセット除去後の信号DI5、DQ5を出力する。

【0010】

$$DI5 = DI4 - DCI \quad (1)$$

$$DQ5 = DQ4 - DCQ \quad (2)$$

DCI、DCQはDCオフセット除去回路102で算出されたDCオフセット値であり、ここではこの値が受信信号D1に含まれるDCオフセット、及び図4中の回路1～3に含まれるDCオフセット値の総和になる様に制御される。

【0011】

演算回路22、23では以下の演算を行う。

【0012】

$$DCI2 = \alpha * DI5 \quad (3)$$

$$DCQ2 = \alpha * DQ5 \quad (4)$$

ここで、 α はDCオフセット追従速度を決めるゼロもしくは正の追従速度係数であり、これが大きいほど追従速度が速くなるが、逆に安定性が落ちる。小さな

るとこれと逆になる。

【0013】

乗算回路22、23は、 α として2通りの値を持ち（ここではH、Lとし、 $H > L$ とする）、フレームの継続を検出するフレーム継続検知信号S2が“1”のとき $\alpha = H$ となって追従速度は速くなり、S2が“0”の時 $\alpha = L$ となり追従速度は遅くなる。

【0014】

加算回路24、25では前述のDCI、DCQに対してDCI2、DCQ2が加算され、これらの出力は1ビット遅延回路26、27で1ビット遅延され、その出力がDCI、DCQとなる。これらは下式の様になる。

【0015】

$$\begin{aligned} DCI &= DCI2 + DCI' \\ &= \alpha * DI5 + DCI' \end{aligned} \quad (5)$$

$$\begin{aligned} DCQ &= DCQ2 + DCQ' \\ &= \alpha * DQ5 + DCQ' \end{aligned} \quad (6)$$

ここで、DCI'、DCQ'は直前のDCI、DCQを示す。

【0016】

図4の受信回路に入力された無線周波数帯の信号D1は、直交検波回路1において検波されてIchの信号DI2とQchの信号DQ2となる。以降DInはIchの信号、DQnはQchの信号を示す。

【0017】

式(5)、(6)よりDCオフセット値は、最新のDCオフセット除去後の信号を α 倍し、この値で直前のDCオフセット値を補正する。従って、 α が大きいほど（例えば1）1回の補正量が大きくなり、小さいほど（例えば0）補正量は小さくなる為、これにより追従速度を制御する事ができる。

【0018】

図4中の復調回路5では、予め定められた方式（例えば、QPSK、 $\pi/4$ -SHIFT-QPSK等）でDI5、DQ5を復調し、復調後の信号DI6、DQ6を出力する。DI6、DQ6は図6、7に示すフレームフォーマットを構成

する。

【 0 0 1 9 】

フレーム同期回路 6 は、D I 6、D Q 6 に同期部 (UW) が含まれている否かを判定し、同期部判定結果 S 3 を信号停止検出回路 1 0 へ出力し、検出した同期部 (UW) のタイミングに同期したフレームパルス S 4 を復号回路 7 とデータ分離回路 8 に出力する。

【 0 0 2 0 】

同期部判定結果 S 3 の初期値は “ 0 ” であり、フレーム同期回路 6 ではこの時々同期部 (UW) の検出が行われており、一度同期部 (UW) が検出されると同期部 (UW) の直後で S 3 はそのフレーム期間 “ 1 ” になり、以降はフレーム毎に 1 回同期部の検出が行われ、同期部が検出されれば S 3 は “ 1 ” に保持され、検出されなければ “ 0 ” になり、初期状態に戻る。フレームパルス S 4 は制御部 (CONT) の先頭に位置する様に出力される。

【 0 0 2 1 】

復号回路 7 は、D I 6、D Q 6 を予め定められた方式 (例えば誤り訂正復号、デスクランブル) で復号し、その出力 D 7 はデータ分離回路 8 に渡される。データ分離回路 8 では、図 6、7 の構成に従ってデフレームフォーマットが行われ、制御部 (CONT) を D 9 として制御回路 1 0 1 へ出力し、信号停止表示部 (END) を D 1 0 として信号停止検出回路 1 0 へ出力し、DATA 部を D 8 としてユーザーに対して出力する。復号回路 7 およびデータ分離回路 8 の動作は全てフレームパルス S 4 を基準として行われる。

【 0 0 2 2 】

制御回路 1 0 1 は、入力された制御部 (CONT) D 9 からフレーム番号とどのフレームを受信すべきかを判定する。例えば、巡回するフレーム番号が “ 0 ”、“ 1 ”、“ 2 ”、“ 3 ”、……、“ 2 5 4 ”、“ 2 5 5 ”、“ 0 ”、“ 1 ”、……となっている場合、制御回路 1 0 1 はこれを例えばフレーム 0 ~ 2 5 5 まで受信し続け (これを連続受信と称す) フレーム番号のタイミングを認識すると共にどのフレームを受信すべきなのかを記憶する。

【 0 0 2 3 】

そして、例えば図8に示されているように、“0”、“199”、“200”、“201”フレームを受ける場合、フレームタイミング認識後は、受信制御信号S1をフレーム“0”、“199”、“200”、“201”の時のみ“1”にし、それ以外のフレームタイミングではS1を“0”にする間欠受信を行う。これは、前述した様に受信回路の消費電力の大部分を示す回路1～3の電源を必要最小限の時のみオンにすることにより、消費電力を節約するためである。

【0024】

信号停止検出回路10は、D10として入力される信号停止表示部を解析し、もし以降のフレームも継続して受信信号が継続するのであればフレーム継続検知信号S2を“1”にし、受信信号が停止するのであればS2を“0”にする。その後、フレーム同期回路6からの同期部判定結果S3が“1”になったらS2を“1”に戻す。

【0025】

このように、信号停止検出回路10においてフレーム中のUW検出結果と信号停止表示がモニタされており、受信フレームのUWが検出されるとS2を“1”にし、信号停止表示が検出されるとS2を“0”にする。これによりDCオフセット除去回路102では、S2が“1”の時は追従速度係数 α をHにし、S2が“0”の時には α をLにする事により、DCオフセットずれを防いでいる。

【0026】

【発明が解決しようとする課題】

フレームフォーマットのプリアンプル部(PA)は、復調回路5がクロック再生をできるだけ素早くできる様に、変調速度が強調される様なパターンにするのが一般的である。例えば、QPSKの場合のプリアンプルデータは例1の様になり、位相面で見ると図9の様になる。

例1 Ich: 101010101010.....

 Qch: 101010101010.....

また、 $\pi/4$ -SHIFT-QPSKの場合のプリアンプルデータは例2の様になり、位相面で見ると図10の様になる。

例2 Ich: 10110100 10110100 10.....

Qch: 11010010 11010010 11.....

このように、プリアンプルパターンを位相面でみるとQPSKの時は図9のように原点に対して点対称である為DCオフセットは通常データと同じになるが、 $\pi/4$ -SHIFT-QPSKの時は図10のように原点に対して非対称になっている為DCオフセットは、通常データ時と比べるとずれてしまう。

【0027】

具体的には、通常データ受信時に正確なDCオフセット値を算出しても、例2のようなプリアンプルパターンを受信すると、DCオフセット算出結果はQchがプラスになる方向に振られてしまう為、その直後のデータではDCオフセットが狂ってしまい、正しく復調、復号することができなくなる。

【0028】

そのため、上記従来例においては、信号停止表示を検出した時点でフレーム継続検知信号S2を“0”にすることにより、次に送信される信号の先頭フレームの前に付加されているプリアンプル部(PA)受信時には、追従速度係数 α をLにする事により、DCオフセットずれを防いでいる。

【0029】

一方、制御回路101では、最初に全てのフレームを受信して各フレーム中の制御部(CONT)を解析し、どのフレームを受信すべきかを判定した後は、受信すべきフレームでのみ受信制御信号S1を“1”にして間欠受信を行っているが、受信信号D1は複数の受信機で受信されるものである為、例えば、S1が“0”に変化する時点B以降も受信信号が存在し、この受信機では図8のフレーム15に存在する信号停止表示は検出できないので、時点CでS2が“0”とならず、時点Dにおいてその先頭フレームが受信すべきフレームである場合には追従速度係数 α がHの状態でプリアンプル部を受信してしまうケースが生ずる。

【0030】

すなわち、図8において、時点Bでは制御回路101にてフレーム0の終了が認識される為、以降時点DまでS1が“0”になる。時点Cでは信号停止表示が含まれるフレーム15が本受信回路に入力されているが、回路1～3の電源がオフになっている為この信号停止表示は検出されず、S2は“1”のままとなり、

この受信機は時点Dにおいて、追従速度係数 α がHの状態でプリアンプルを受信することになる。

【0031】

これはシステムの避けられない問題であり、このようにプリアンプル受信時に α がHのままであると、DCオフセットがずれてしまい、正しく復調、復号することができなくなると言う問題が有った。

【0032】

本発明の目的は、上記問題点に鑑み、プリアンプルで受信信号が開始し、受信信号停止直前の最終フレームで信号停止表示が受信される事で受信信号が停止するバースト信号を受信する際、プリアンプル受信によるDCオフセットがずれるのを防止することにある。

【0033】

【課題を解決するための手段】

本発明は、受信信号及びA/D変換回路やそれ以前の回路に含まれるDCオフセット値を求め、随時これを除去するDCオフセット除去回路を備えた受信回路において、このDCオフセット除去回路における追従速度は可変になっており、DCオフセットが通常のデータ受信時に対してずれているプリアンプルパターン受信時にはこの追従速度を遅くし、今までに算出してきたDCオフセット値がずれない様にしたことを特徴とする。

【0034】

具体的には、DCオフセット除去回路は、DCオフセット追従速度を決定する係数 α の値を変える手段を備えており、受信信号停止検出回路から受信停止の表示を検出したことを示す信号を受けた場合、もしくは制御回路から自分宛でないフレーム時に消費電力を節約する為、回路の一部の電源をオフにする信号を受けた場合、上記 α を小さな値、もしくはゼロにし、受信再開直後は上記 α は小さいままにし、プリアンプル直後の同期信号を検出したことを示す信号を受けたとき上記 α を通常の値に戻す事により、プリアンプル受信時のDCオフセット追従速度を極力遅くすることによってプリアンプルパターンにより引き起こされるDCオフセットずれを防ぐことを特徴とする。

【 0 0 3 5 】

本発明では、間欠受信の為にシステムのこの信号停止表示が受けられない場合でも、間欠受信に入った事を検出して追従速度を遅くできる為、間欠受信中に受けたプリアンプルパターンでDCオフセット値がずれるのを回避できる。

【 0 0 3 6 】

【発明の実施の形態】

図1は、本発明の実施の形態を示すブロック図であり、図2は、図1中のDCオフセット除去回路4の内部ブロック図である。なお、図1において、回路1～3、5～8、および10は、従来例を示す図4中の回路1～3、5～8、および10と、また、図2において、回路20～27は、従来例を示す図5中の回路20～27と同じものであり、その動作も従来例と同様である。また、ここで扱われる信号も、前述の図6、7に示すフレームフォーマットを構成するものとし、この信号は複数の受信機において受信されているものとする。

【 0 0 3 7 】

従って、各受信機は最初に全てのフレーム（例えばフレーム0～フレーム25）を受信し、データ分離回路8で分離された受信フレームの制御部（CONT）のデータD9を制御回路9で解析する事により、そのフレームが自分宛か否かを判定して記憶する。その後受信機は間欠受信に移行し、制御回路9からの受信制御信号S1が“1”のときのみ即ち自分宛のフレームのみを受信する。

【 0 0 3 8 】

フレームの同期部は、前述のように通常ユニークワード（UW）と呼ばれ、フレームの区切り目を示す20～40ビットの固定パターンで構成される。制御部（CONT）では、予め定められた間隔で巡回するフレーム番号と、どの受信機がどのフレームを受信するべきかが示されている。

【 0 0 3 9 】

受信回路では、従来例と同様にこのフレーム番号が巡回するタイミングを記憶した後は受信すべきフレームタイミング時のみ受信制御信号S1を“1”にして直交検波回路1、アナログ回路2、A/D変換回路3の電源をオンにし、それ以外のフレームタイミングではS1を“0”にして上記回路1～3の電源をオフに

する間欠受信を行って、受信回路の低消費電力化を図っている。

【0040】

また、本実施の形態においても、データは送信側、及び衛星を介した場合は衛星の消費電力を節約する為に、有意なデータがある時のみデータがやり取りされ、それ以外の場合は何も信号がやり取りされない事を前提としている。従って、前述の間欠受信は定期的な動作であるが、図1の受信回路へ入力される信号D1は不定期に現れるアクティベーション方式が採用される。

【0041】

直交検波回路1は、受信された無線周波数帯の信号D1を予め定められた無線周波数によって直交検波し、ベースバンド周波数帯の信号DI2、DQ2に変換する。アナログ回路2は、DI2、DQ2を後段のA/D変換回路3に適した信号DI3、DQ3に変換し、A/D変換回路3は、DI3、DQ3をアナログ信号からデジタル信号DI4、DQ4に変換し、DCオフセット除去回路4に出力する。

【0042】

DCオフセット除去回路4の減算回路20、21では、1ビット遅延回路26、27が出力したDCオフセット値DCI、DCQをDI4、DQ4から減算し、前記の式(1)、(2)で示されるDCオフセット除去後の信号DI5、DQ5を出力する。

【0043】

AND回路28は、後述の制御回路9から入力される受信フレーム信号S5と信号停止検出回路10から入力されるフレーム継続検知信号S2とのAND演算(両方共“1”の時のみ出力も“1”)を行い、その結果S20を乗算回路22、23に出力する。乗算回路22、23では、前記の式(3)、(4)で示される演算を行う。

【0044】

乗算回路22、23は、従来例の場合と同様に、追従速度係数 α として2通りの値を持ち(ここではH、Lとし、 $H > L$ とする)、S20が“1”のとき $\alpha = H$ となり追従速度は速くなり、S20が“0”の時 $\alpha = L$ となり追従速度は遅く

なる。

【0045】

加算回路24、25では前述のDCI、DCQに対してDCI2、DCQ2が加算され、これらの出力は1ビット遅延回路26、27で1ビット遅延され、その出力は、前記の式(5)、(6)で示されるDCI、DCQとなる。

【0046】

式(5)、(6)より得られるDCオフセット値は、最新のDCオフセット除去後の信号を α 倍し、この値で直前のDCオフセット値を補正するので、 α が大きいほど(例えば1)1回の補正量が大きくなり、小さいほど(例えば0)補正量は小さくなる為、その追従速度が制御される。

【0047】

復調回路5では、予め定められた方式(例えばQPSK、 $\pi/4$ -SHIFT-QPSK)でDI5、DQ5を復調し、復調後の信号DI6、DQ6を出力する。DI6、DQ6は図6、7に示すフレームフォーマットを構成する。

【0048】

フレーム同期回路6は、DI6、DQ6に同期部(UW)が含まれている否かを判定し、その判定結果S3を制御回路9と信号停止検出回路10へ出力し、検出した同期部のタイミングに同期したフレームパルスS4を復号回路7とデータ分離回路8に出力する。

【0049】

同期部判定結果S3の初期値は“0”であり、フレーム同期回路6ではこの時常時同期部の検出が行われており、一度同期部が検出されると同期部の直後そのフレーム期間でS3は“1”になり、以降はフレーム毎に1回同期部の検出が行われ、同期部が検出されればS3は“1”に保持され、検出されなければ“0”になり、初期状態に戻る。

【0050】

フレームパルスS4は制御部の先頭に位置する様に出力される。復号回路7は、DI6、DQ6を予め定められた方式(例えば誤り訂正復号、デスクランブル)で復号し、その出力D7はデータ分離回路8に渡される。

【 0 0 5 1 】

データ分離回路 8 では、図 6、7 の構成に従ってデフレームフォーマットが行われ、制御部 (CONT) を D 9 として制御回路 9 へ、信号停止表示部 (END) を D 1 0 として信号停止検出回路 1 0 へ、DATA 部を D 8 としてユーザーに対して出力する。復号回路 7 およびデータ分離回路 8 の動作は全てフレームパルス S 4 を基準として行われる。

【 0 0 5 2 】

制御回路 9 は、入力された制御部情報 D 9 からフレーム番号とどのフレームを受信すべきかを判定する。例えば、巡回するフレーム番号が “0”、“1”、“2”、“3”、……、“254”、“255”、“0”、“1”、……となっている場合、制御回路 9 はこれを例えばフレーム 0～255 まで受信し続け、フレーム番号のタイミングを認識すると共にどのフレームを受信すべきなのかを記憶する。

【 0 0 5 3 】

例えば、“0”、“199”、“200”、“201” フレームが当該受信機の受信タイミングであることが判定されると、フレームタイミング認識後は受信制御信号 S 1 を、フレーム “0”、“199”、“200”、“201” の時のみ “1” にし、それ以外のフレームタイミングでは S 1 を “0” にする (間欠受信)。

【 0 0 5 4 】

制御回路 9 は、更に DC オフセット除去回路 4 に受信フレーム信号 S 5 を出力する。この受信フレーム信号 S 5 は、受信制御信号 S 1 が “1” で且つフレーム同期回路 6 からの同期部判定結果 S 3 が “1” の時のみ “1” になり、それ以外の時は “0” である。

【 0 0 5 5 】

信号停止検出回路 1 0 は、D 1 0 として入力される信号停止表示部を解析し、もし以降のフレームも継続して受信信号が継続するのであればフレーム継続検知信号 S 2 を “1” にし、受信信号が停止するのであれば S 2 を “0” にする。その後、フレーム同期回路 6 からの同期部判定結果 S 3 が “1” になったら S 2 を

“1”に戻す。

【0056】

次に、本実施の形態の動作について、図3のタイムチャートを参照して説明する。本受信回路は間欠受信を行っており、間欠受信でフレーム0、199、200、201のみを受信するものとする。また、入力信号D1はアクティベーション方式で入力されており、D1の黒く塗った部分はプリアンブル部に相当し、フレーム0、15、201では信号停止表示が行われる。

【0057】

時点Aは受信再開の先頭フレームになっているが、本受信回路では受信すべきフレーム0のタイミングであると認識されている為、S1が“0”→“1”になりフレーム0の受信を行う。且つ、制御回路9から出力される受信フレーム信号S5は、同期部判定結果S3が“1”になった時点で“0”→“1”になる。また、信号停止検出回路10においてS3＝“1”が検出される為フレーム継続検知信号S2は“1”になる。

【0058】

AND回路28の出力S20は、S2とS5が“1”のときのみ“1”となるので、図1中、オフセット除去回路4内のDCオフセット追従速度を決定する係数 α は、フレーム0の前に付加されているプリアンブル受信時はLであり、それ以降にHとなる。

【0059】

時点Bでは、制御回路9にてフレーム0の終了が認識される為S1及びS5が“0”になり、オフセット除去回路4内のDCオフセット追従速度を決定する係数 α はLになる。

【0060】

時点Cでは、信号停止表示(END)が含まれるフレーム15がこの受信回路にも入力されるが、この受信機の受信タイミングではないので受信制御信号S1が“0”であり、回路1～3の電源はオフになっている為この受信回路ではフレーム15の信号停止表示は検出されず、S2は“1”のままである。

【0061】

時点Dでは、時点Aと同様にS1が“0”→“1”になり、回路1～3の電源がオンとなって受信が再開されるが、プリアンプル受信時にはS5は“0”であるのでS20も“0”であり α はLのままである。その後フレーム199の同期部が検出された時点でS3が“1”となってS5が“1”になるので、S20が“1”になり α はHになる。

【0062】

時点Eでは、フレーム201の完了及び信号停止表示が検出される為S1、S5が“0”になり且つS2も“0”になる。時点Fでも時点Aと同様にプリアンプル受信時には α がLになる様に制御される。

【0063】

このように、従来技術では、間欠受信の際に、図8中の時点Cにおける信号停止表示部(END)が認識されないので、時点Dにおけるプリアンプル受信時には、 α がHのままになり、直後のフレーム199ではDCオフセットがずれてしまい受信品質が劣化していたが、本発明では、間欠受信の際にも、プリアンプル受信の前に必ず α をLに制御する事ができるので、時点Dでのプリアンプル受信時のDCオフセットずれを防ぐ事ができる。

【0064】

【発明の効果】

本発明によれば、間欠受信の場合であっても、プリアンプル受信時には α を確実にLに制御する事ができるので、プリアンプル受信時のDCオフセットずれを防ぐ事ができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態を示すブロック図である。

【図2】

本発明のDCオフセット除去回路を示すブロック図である。

【図3】

本発明の動作を説明するためのタイムチャートである。

【図4】

従来例を示すブロック図である。

【図 5】

従来の DC オフセット除去回路を示すブロック図である。

【図 6】

送信データフォーマットを示す図である。

【図 7】

送信データフォーマットを示す図である。

【図 8】

従来例の動作を説明するためのタイムチャートである。

【図 9】

Q P S K の場合のプリアンプルデータを位相面で見た図である。

【図 1 0】

$\pi/4$ -SHIFT-Q P S K の場合のプリアンプルデータを位相面で見た図である。

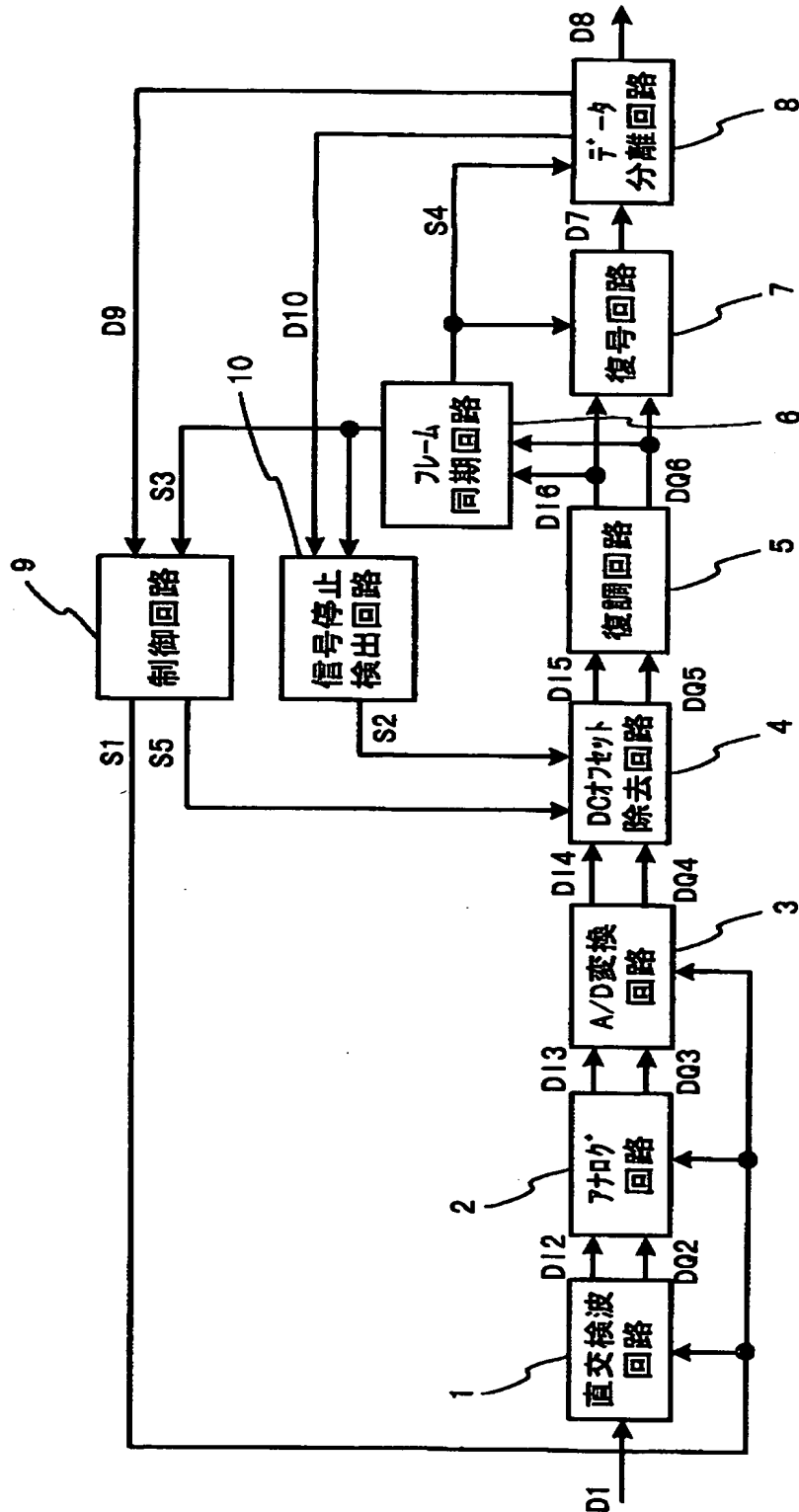
【符号の説明】

- 1 直交検波回路
- 2 アナログ回路
- 3 A/D 変換回路
- 4、1 0 2 DC オフセット除去回路
- 5 復調回路
- 6 フレーム同期回路
- 7 復号回路
- 8 データ分離回路
- 9、1 0 1 制御回路
- 1 0 信号停止検出回路
- 2 0、2 1 減算回路
- 2 2、2 3 乗算回路
- 2 4、2 5 加算回路
- 2 6、2 7 1 ビット遅延回路

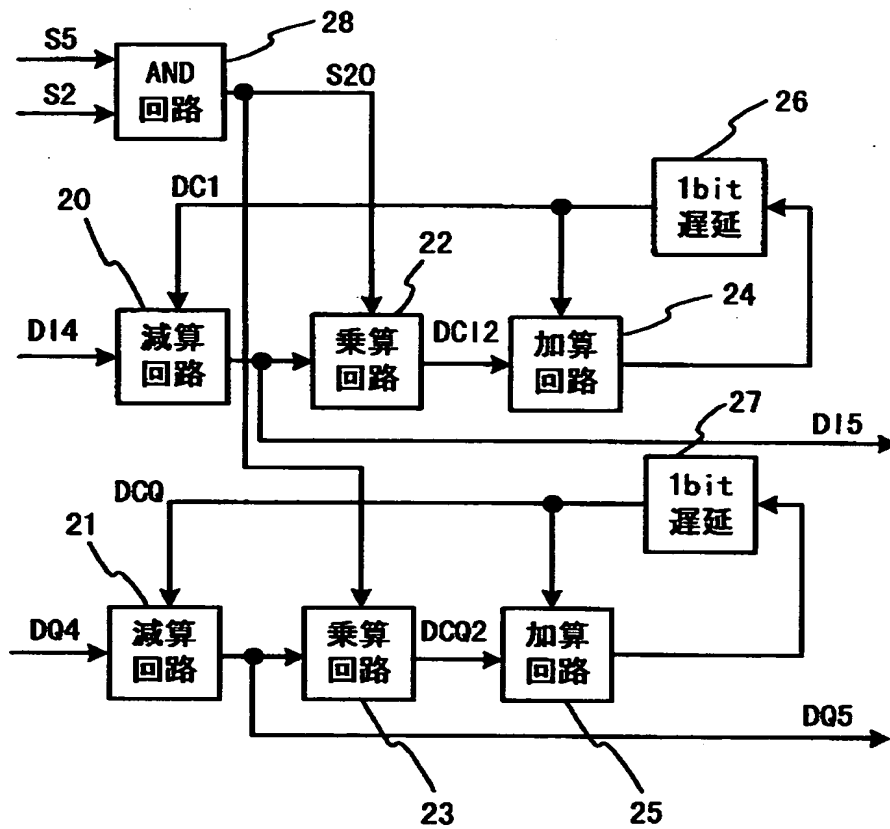
- 2 8 A N D 回路
- S 1 受信制御信号
- S 2 フレーム継続検知信号
- S 3 同期部判定結果
- S 4 フレームパルス
- S 5 受信フレーム信号
- α 追従速度係数

【書類名】 図面

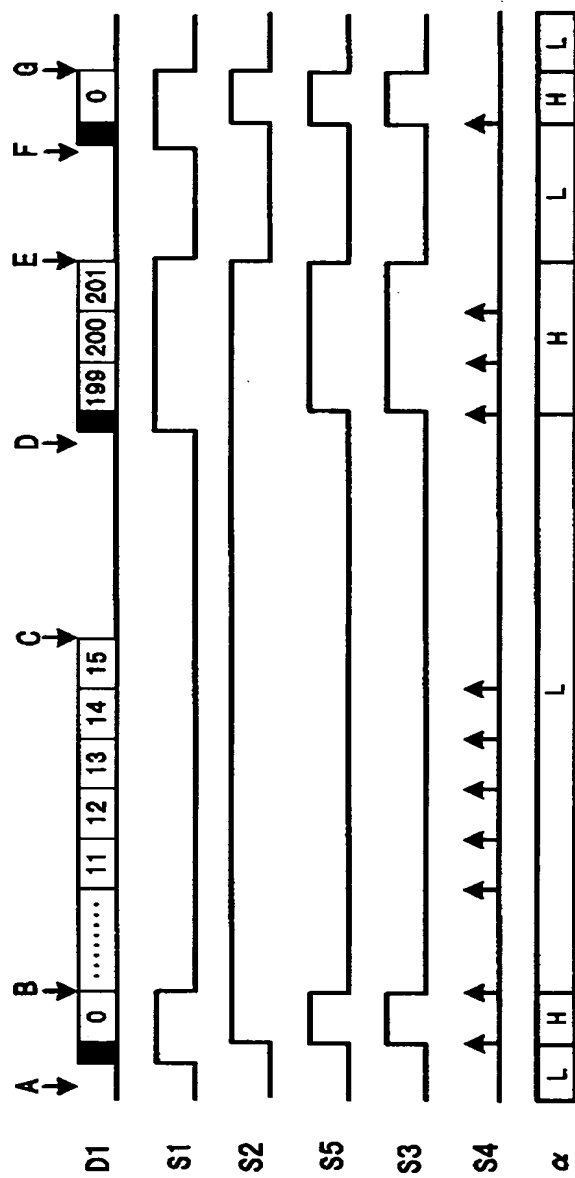
【図 1】



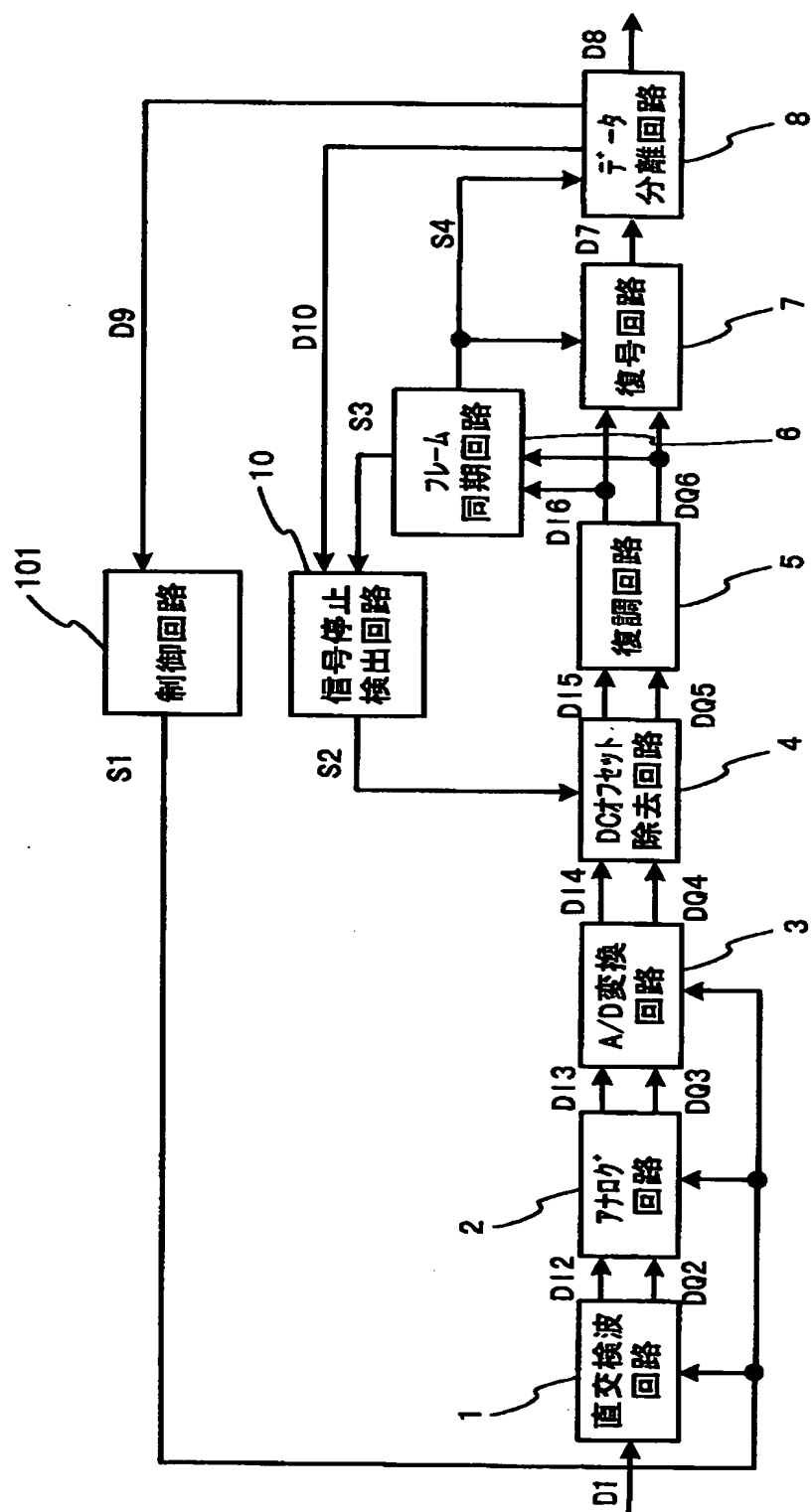
【図 2】



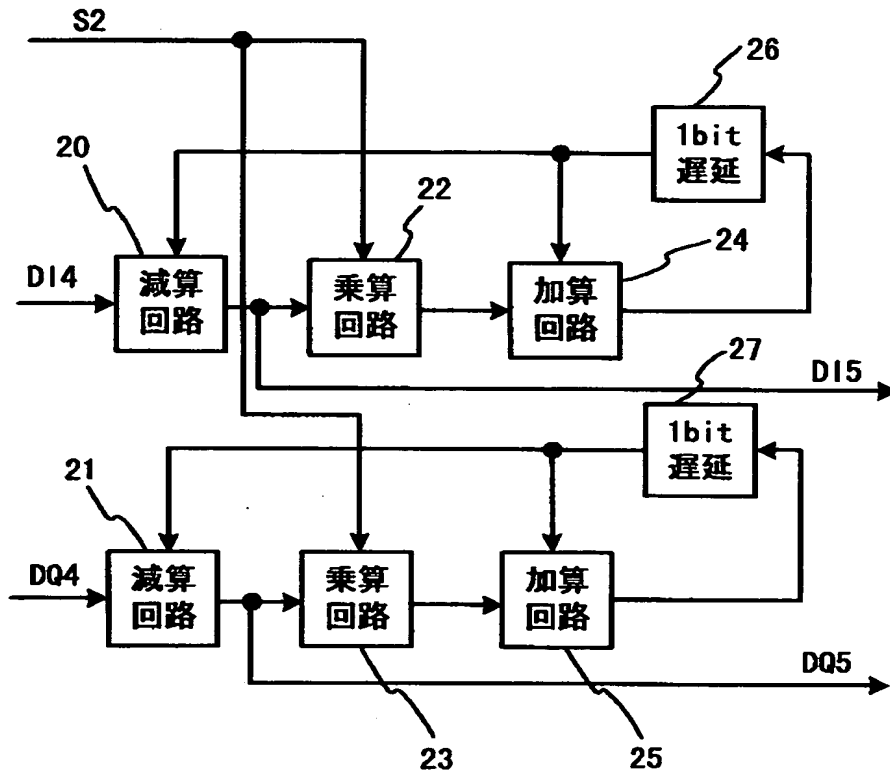
【図 3】



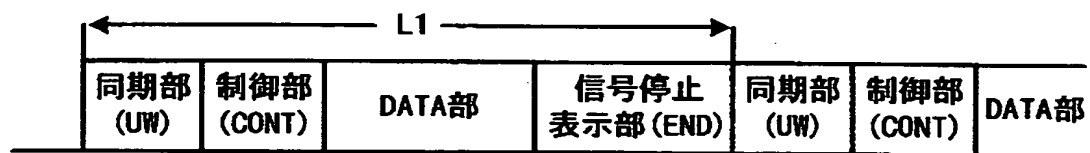
【図4】



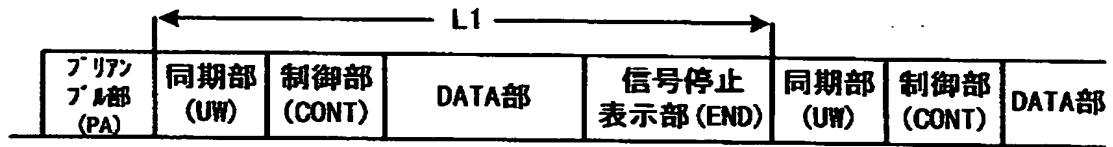
【図 5】



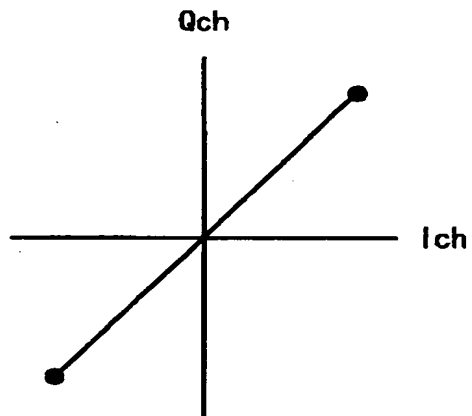
【図 6】



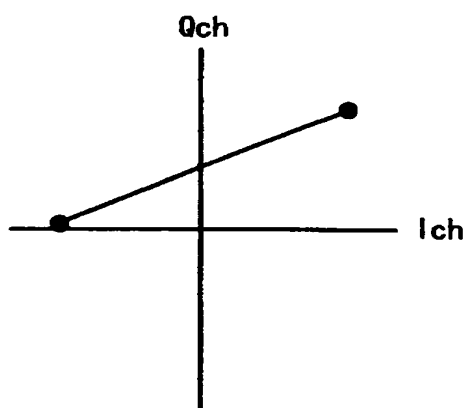
【図 7】



【図 9】



【図 1 0】



【書類名】 要約書

【要約】

【課題】 間欠受信の場合であっても、プリアンプル受信時のDCオフセットずれを防ぐ事が可能な手段を提供する。

【解決手段】 DCオフセット除去回路4は、DCオフセット追従速度を決定する係数 α の値を変える手段を備えており、受信信号停止検出回路10から受信停止の表示を検出した信号S2を受けた場合、もしくは制御回路9から自分宛でないフレーム時に消費電力を節約する為、回路の一部の電源をオフにする信号S5を受けた場合、上記 α を小さな値にし、受信再開後、プリアンプル直後の同期信号を検出したら α を通常の値に戻す事により、プリアンプル受信時のDCオフセット追従速度を極力遅くすることによってプリアンプルパターンにより引き起こされるDCオフセットずれを防ぐ。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社